

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

CT/JP 03/06428

22.05.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 5月22日

出 願 番 号  
Application Number:

特願2002-148129

[ST.10/C]:

[JP2002-148129]

REC'D 11 JUL 2003

WIPO

PCT

出 願 人  
Applicant(s):

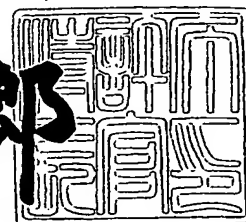
松下電器産業株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 6月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050284

【書類名】 特許願

【整理番号】 2037630048

【提出日】 平成14年 5月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 柳沢 直志

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 外山 正臣

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 梅原 啓二郎

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 低域ろ波回路、位相同期回路および半導体集積回路

【特許請求の範囲】

【請求項 1】 第 1 の電流を入力とし、この第 1 の電流に応じた第 2 の電流を出力するカレントミラー回路と、

前記カレントミラー回路の入力側の第 1 の電圧を正相入力、出力側の第 2 の電圧を逆相入力とする演算増幅器と、

前記演算増幅器の負帰還部分に構成された第 1 の容量素子とを備え、

前記第 1 の電流を入力とし、前記演算増幅器から出力される第 3 の電圧を出力とする

ことを特徴とする低域ろ波回路。

【請求項 2】 請求項 1 記載の低域ろ波回路において、

前記カレントミラー回路は、

前記第 2 の電流が前記第 1 の電流よりも小さくなるように、電流のミラー比率が調整されたものである

ことを特徴とする低域ろ波回路。

【請求項 3】 請求項 1 記載の低域ろ波回路において、

原電流が与えられるものであり、かつ、

前記カレントミラー回路の入力側に設けられ、前記原電流を積分するとともに、前記第 1 の電流を出力する第 2 の容量素子を備えた

ことを特徴とする低域ろ波回路。

【請求項 4】 請求項 1 記載の低域ろ波回路と、

前記低域ろ波回路に前記第 1 の電流を与えるチャージポンプ回路と、

前記低域ろ波回路から出力される前記第 3 の電圧を入力とする電圧制御発振器とを備えた

ことを特徴とする位相同期回路。

【請求項 5】 請求項 4 記載の位相同期回路において、

前記カレントミラー回路は、

MOS トランジスタで構成され、かつ、

入力側のMOSトランジスタにバイアスをかける第1の電流源と、出力側のMOSトランジスタにバイアスをかける第2の電流源とを有するものであり、

前記第1の電流源および第2の電流源は、前記第1の電流の変化率に応じて、それぞれバイアスを変化させるものであることを特徴とする位相同期回路。

【請求項6】 請求項5記載の位相同期回路において、

前記第3の電圧に応じて、前記第1の電流源、第2の電流源および前記チャージポンプ回路の電流源を制御するバイアス制御手段を備え、

前記電圧制御発振器は、

前記第3の電圧を入力することに代えて、前記電圧制御発振器による制御によって、発振周波数を変化させるものであることを特徴とする位相同期回路。

【請求項7】 請求項5記載の位相同期回路において、

前記第3の電圧に応じて、前記演算増幅器の帯域特性を制御するバイアス制御手段を備えた

ことを特徴とする位相同期回路。

【請求項8】 請求項4記載の位相同期回路を備えた

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低域ろ波回路および位相同期回路に関するものであり、特に、位相同期回路用に好適な低域ろ波回路の技術およびこの低域ろ波回路を備えた位相同期回路の技術に属する。

【0002】

【従来の技術】

現在、位相同期回路は、システムLSIを構成する上で必須の部品といっても過言ではなく、ほとんどすべてのシステムLSIに搭載されている。図6は、一般的な位相同期回路10の構成を示す。位相比較器11は、入力クロックCK<sub>in</sub>

と分周クロック  $CK_{div}$  との位相差を、信号 UP および信号 DN として出力する。チャージポンプ回路 12 は、信号 UP および信号 DN に基づいて、チャージ電流  $I_p$  を出力する。低域ろ波回路 13 は、チャージ電流  $I_p$  を平滑化し、制御電圧  $V_{out}$  を出力する。電圧制御発振器 14 は、制御電圧  $V_{out}$  に応じて発振周波数を変え、出力クロック  $CK_{out}$  を出力する。分周器 15 は、出力クロック  $CK_{out}$  を分周し、分周クロック  $CK_{div}$  を位相比較器 11 にループバックする。以上のような構成により、位相同期回路 10 は、入力クロック  $CK_{in}$  の変化に追従して、出力クロック  $CK_{out}$  を生成し、ロックする。

## 【 0 0 0 3 】

図 7 は、低域ろ波回路 13 として用いられる一般的な回路図を示す。同図 (a) は、受動タイプの低域ろ波回路であり、同図 (b) は、能動タイプの低域ろ波回路である。このように、低域ろ波回路 13 は、一般に、抵抗素子 R および容量素子 C の組み合わせによる積分回路で実現される。

## 【 0 0 0 4 】

位相同期回路の制御論理によると、入力クロック  $CK_{in}$  の変化に追従する際の応答帯域幅は、入力クロック  $CK_{in}$  の 10 分の 1 程度の周波数が好ましいとされている。したがって、入力クロック  $CK_{in}$  の周波数が低くなれば、応答帯域幅も狭くする必要がある。しかし、応答帯域幅を狭くすると位相同期回路 10 のダンピングファクタが小さくなり、位相同期回路 10 が安定に動作しなくなる。このため、入力クロック  $CK_{in}$  が変化しても、ダンピングファクタを一定に保つように調整する必要がある。

## 【 0 0 0 5 】

図 8 は、ダンピングファクタの調整が可能な低域ろ波回路 13 を示す。同図 (a) の低域ろ波回路 13 は、抵抗素子 R として、抵抗ラダー回路 100 を備えている。抵抗ラダー回路 100 は、同図 (b) に示すように、多数の抵抗とスイッチとからなり、スイッチを適宜制御することにより、抵抗ラダー回路 100 の抵抗値をさまざまに変えるようになっている。これにより、同図 (a) の低域ろ波回路 13 は、ダンピングファクタを一定に保つように調整することができる。

## 【 0 0 0 6 】

また、図 9 は、別の方法によりダンピングファクタの調整を可能にした低域ろ波回路 1 3 を示す。同図の低域ろ波回路 1 3 は、積分回路 1 3 - 1 と、反転増幅回路 1 3 - 2 と、加算回路 1 3 - 3 とを備えている。積分回路 1 3 - 1 は、第 1 のチャージポンプ回路 1 2 - 1 から出力されるチャージ電流  $I_{p1}$  を積分する。反転増幅回路 1 3 - 2 は、第 2 のチャージポンプ回路 1 2 - 2 から出力されるチャージ電流  $I_{p2}$  を反転増幅する。そして、加算回路 1 3 - 3 は、積分回路 1 3 - 1 からの出力と反転増幅回路 1 3 - 2 からの出力とを加算する。この低域ろ波回路 1 3 によると、チャージ電流  $I_{p1}$  およびチャージ電流  $I_{p2}$  を適宜変えることにより、ダンピングファクタの調整が可能となる。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

上述したように、位相同期回路 1 0 の入力クロック  $CK_{in}$  が比較的低い周波数のとき、位相同期回路 1 0 の応答帯域幅もそれに合わせて狭くする必要がある。これは、低域ろ波回路 1 3 において、カットオフ周波数を低くする必要があることを意味する。しかし、カットオフ周波数を低くするには、積分回路を構成する抵抗素子 R や容量素子 C を大きくして RC 積を大きくしなければならず、回路面積が大幅に増大することになる。

## 【 0 0 0 8 】

また、ダンピングファクタを調整するためには、図 8 に示したように、抵抗ラダー回路 1 0 0 を設けたり、または、図 9 に示したように、チャージポンプ回路や演算増幅器を複数個設けたりする必要がある。これもまた、回路面積を増大させる要因となる。

## 【 0 0 0 9 】

半導体集積回路において、回路面積を低減することは必須の課題である。特に、カード IC などでは、信頼性の観点からカードの厚さ以上の部品を実装することは避けなければならず、回路面積の低減に対する要求は厳しい。

## 【 0 0 1 0 】

上記諸問題に鑑み、本発明は、ろ波特性を保ちつつ回路面積が低減可能な低域ろ波回路の提供を課題とする。また、位相同期回路におけるダンピングファクタ



の調整が可能であり、かつ回路面積の低減が可能な低域ろ波回路の提供を課題とする。さらに、幅広い周波数帯域に適応可能な位相同期回路を実現する。

## 【 0 0 1 1 】

## 【課題を解決するための手段】

上記課題を解決するために、請求項 1 の発明が講じた手段は、低域ろ波回路として、第 1 の電流を入力とし、この第 1 の電流に応じた第 2 の電流を出力するカレントミラー回路と、前記カレントミラー回路の入力側の第 1 の電圧を正相入力、出力側の第 2 の電圧を逆相入力とする演算増幅器と、前記演算増幅器の負帰還部分に構成された第 1 の容量素子とを備え、前記第 1 の電流を入力とし、前記演算増幅器から出力される第 3 の電圧を出力とすることを特徴とする。

## 【 0 0 1 2 】

請求項 1 の発明によると、演算増幅器およびその負帰還部分に構成された第 1 の容量素子によって、第 2 の電流が積分され、平滑化されて第 3 の電圧として出力される。第 2 の電流は、カレントミラー回路によって第 1 の電流が反転されたものであり、演算増幅器および第 1 の容量素子は、実質的に、反対向きに流れる第 1 の電流を積分していることになる。一方、演算増幅器には、正相入力として第 1 の電圧が、また、逆相入力として第 2 の電圧が与えられており、演算増幅器のいわゆる仮想短絡により、第 1 の電圧と第 1 の容量素子による積分電圧とを加算したものが第 3 の電圧として出力される。つまり、本発明の低域ろ波回路は、実質的に、第 1 の電流を積分し、増幅するものである。そして、本発明の低域ろ波回路では、カレントミラー回路を能動負荷として用いることによって、負荷抵抗としてインピーダンスを大きくすることができ、相対的に、第 1 の容量素子を小さくすることができる。これにより、回路面積の低減が可能となる。

## 【 0 0 1 3 】

請求項 2 の発明では、請求項 1 の低域ろ波回路において、前記カレントミラー回路は、前記第 2 の電流が前記第 1 の電流よりも小さくなるように、電流のミラー比率が調整されたものであることを特徴とする。

## 【 0 0 1 4 】

請求項 2 の発明によると、第 1 の電流よりも電流量の小さな第 2 の電流によっ

て、第1の電圧と等しい第2の電圧が生成される。つまり、カレントミラー回路の出力側において、負荷抵抗としてインピーダンスをより大きくすることができ、第1の容量素子を大幅に縮小することができる。これにより、回路面積を大幅に低減することができる。また、第2の電流の電流量がより小さくなるため、演算増幅器は、より少ない電流を駆動するものでよくなる。これにより、消費電力を低減することが可能となる。

## 【0015】

請求項3の発明では、請求項1の低域ろ波回路は、原電流が与えられるものであり、かつ、前記カレントミラー回路の入力側に設けられ、前記原電流を積分するとともに、前記第1の電流を出力する第2の容量素子を備えたことを特徴とする。

## 【0016】

請求項3の発明によると、第2の容量素子を備えることによって、請求項1の低域ろ波回路をさらに高次のものにすることができる。

## 【0017】

請求項4の発明では、位相同期回路として、請求項1の低域ろ波回路と、前記低域ろ波回路に前記第1の電流を与えるチャージポンプ回路と、前記低域ろ波回路から出力される前記第3の電圧を入力とする電圧制御発振器とを備えたことを特徴とする。

## 【0018】

請求項4の発明によると、位相同期回路に請求項1の低域ろ波回路を備えることにより、位相同期回路の回路面積を低減することができる。

## 【0019】

請求項5の発明では、請求項4記載の位相同期回路において、前記カレントミラー回路は、MOSトランジスタで構成され、かつ、入力側のMOSトランジスタにバイアスをかける第1の電流源と、出力側のMOSトランジスタにバイアスをかける第2の電流源とを有するものであり、前記第1の電流源および第2の電流源は、前記第1の電流の変化率に応じて、それぞれバイアスを変化させるものであることを特徴とする。

## 【0020】

請求項5の発明によると、カレントミラー回路をMOSトランジスタで構成することにより、MOSトランジスタの2乗特性を活かして、位相同期回路における発振周波数の変化に対して、適応的に、位相同期回路のダンピングファクタを調整することができる。

## 【0021】

請求項6の発明では、請求項5の位相同期回路において、前記第3の電圧に応じて、前記第1の電流源、第2の電流源および前記チャージポンプ回路の電流源を制御するバイアス制御手段を備え、前記電圧制御発振器は、前記第3の電圧を入力することに代えて、前記電圧制御発振器による制御によって、発振周波数を変化させるものであることを特徴とする。

## 【0022】

請求項6の発明によると、バイアス制御手段によって、低域ろ波回路から出力される第3の電圧に応じて、カレントミラー回路における第1の電流源および第2の電流源、チャージポンプ回路における電流源、および電圧制御発振器の発振周波数が制御される。これにより、位相同期回路における発振周波数の変化に応じて、位相同期回路の応答特性を適応的に変化させ、幅広い周波数帯域において最適に保つことが可能となる。

## 【0023】

請求項7の発明では、請求項5の位相同期回路において、前記第3の電圧に応じて、前記演算増幅器の帯域特性を制御するバイアス制御手段を備えたことを特徴とする。

## 【0024】

請求項7の発明によると、バイアス制御手段によって、低域ろ波回路から出力される第3の電圧に応じて、低域ろ波回路における演算増幅器の帯域特性が制御される。これにより、位相同期回路における発振周波数の変化に応じて、位相同期回路の応答特性を適応的に変化させ、幅広い周波数帯域において最適に保つことが可能となる。

## 【0025】

請求項 8 の発明では、半導体集積回路として、請求項 4 の位相同期回路を備えたことを特徴とする。

【 0 0 2 6 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

【 0 0 2 7 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態としての低域ろ波回路 1 3 の回路図である。低域ろ波回路 1 3 は、カレントミラー回路 1 3 1、本発明の第 1 の容量素子に相当する容量素子 1 3 2、演算増幅器 1 3 3、本発明の第 2 の容量素子に相当する容量素子 1 3 6、カレントミラー回路 1 3 1 の入力側に直流バイアス进行かける電流源 1 3 7 および出力側に直流バイアス进行かける電流源 1 3 8 を備えている。低域ろ波回路 1 3 は、本発明の原電流に相当する電流  $I_p$  を入力とし、第 3 の電圧に相当する電圧  $V_{out}$  を出力とする。

【 0 0 2 8 】

低域ろ波回路 1 3 は、たとえば、図 6 に示した位相同期回路 1 0 に適用が可能である。この場合、低域ろ波回路 1 3 は、チャージポンプ回路 1 2 からチャージ電流  $I_p$  (ただし、反転した電流である。) を入力とし、制御電圧  $V_{out}$  を出力して、電圧制御発振器 1 4 を制御する。

【 0 0 2 9 】

カレントミラー回路 1 3 1 は、入力側に MOS トランジスタ 1 3 4、出力側に MOS トランジスタ 1 3 5 を備えている。電流源 1 3 7 および電流源 1 3 8 は、カレントミラー回路 1 3 1 に直流電流  $I_B$  によるバイアス进行かけている。カレントミラー回路 1 3 1 は、本発明の第 1 の電流に相当する入力電流  $I_{in}$  を入力とし、出力側に、入力電流  $I_{in}$  を反転した出力電流  $I_{out}$  を出力する。出力電流  $I_{out}$  は、本発明の第 2 の電流に相当するものである。

【 0 0 3 0 】

カレントミラー回路 1 3 1 において、入力電流  $I_{in}$  が流れることにより、カレントミラー回路 1 3 1 の入力側には、本発明の第 1 の電圧に相当する入力端電圧

$V_p$ が生じる。また、出力電流  $I_{out}$  が流れることにより、出力側には、本発明の第2の電圧に相当する出力端電圧  $V_m$  が生じる。

【0031】

演算増幅器133は、正相入力端子に入力端電圧  $V_p$  を、逆相入力端子に出力端電圧  $V_m$  を入力する。そして、帰還部分に容量素子132を有している。容量素子132は、出力電流  $I_{out}$  を入力とし、これを積分するものである。

【0032】

一方、容量素子136は、チャージ電流  $I_p$  を入力とし、これを積分するものである。積分した電圧は入力端電圧  $V_p$  となる。また、容量素子136に流れ込んだチャージ電流  $I_p$  は、入力電流  $I_{in}$  となってカレントミラー回路131に入力される。

【0033】

以上のように構成された低域ろ波回路13は、2次の能動タイプ低域ろ波回路として動作する。以下、低域ろ波回路13の動作について詳細に説明する。

【0034】

まず、低域ろ波回路13にチャージ電流  $I_p$  が入力されると、容量素子136によって、1次のフィルタリングが行われる。そして、カレントミラー回路131の入力側に入力電流  $I_{in}$  が流れ、MOSトランジスタ134の相互コンダクタンスに応じた入力端電圧  $V_p$  が生じる。一方、カレントミラー回路131の出力側には、入力電流  $I_{in}$  と同じ大きさの出力電流  $I_{out}$  が流れ、MOSトランジスタ135の相互コンダクタンスに応じた出力端電圧  $V_m$  が生じる。出力電流  $I_{out}$  は、入力電流  $I_{in}$  を反転したものである。

【0035】

出力電流  $I_{out}$  は、容量素子132によって積分されることにより、2次のフィルタリングが行われる。つまり、容量素子132によって、実質的に、反対向きに流れる入力電流  $I_{in}$  が積分されることとなり、積分結果の制御電圧  $V_{out}$  は、反対向きに流れる入力電流  $I_{in}$  が与えられたときに現れる電圧となる。

【0036】

一方、演算増幅器133は、入力端電圧  $V_p$  および出力端電圧  $V_m$  を入力し、こ

これらの電位差を等しくするように動作する。つまり、演算増幅器のいわゆる仮想短絡により、出力端電圧  $V_m$  は入力端電圧  $V_p$  と等しくなる。すなわち、制御電圧  $V_{out}$  は、実質的に、入力端電圧  $V_{in}$  に入力電流  $I_{in}$  を積分した電圧の反転を加算したものとなる。

【0037】

次に、低域ろ波回路 13 が、一般的な 2 次の能動タイプ低域ろ波回路と同じ伝達特性を持つことを示す。

【0038】

図 2 は、低域ろ波回路 13 の伝達特性を説明するための図である。同図 (a) は、図 7 (b) に示した一般的な 2 次の能動タイプ低域ろ波回路と同じ回路図である。各素子値を図に示すものとしたとき、点 n、点 m および点 o における接点方程式は、それぞれ式 (1) ～式 (3) のようになる。

【0039】

【数 1】

$$-I_p + V_n \cdot sC_x + \frac{V_n - V_m}{R} = 0 \quad \dots\dots\dots (1)$$

$$\frac{V_m - V_n}{R} + \frac{V_m - V_{out}}{R + \frac{1}{sC}} = 0 \quad \dots\dots\dots (2)$$

$$V_{out} = A \cdot (-V_m) \quad \dots\dots\dots (3)$$

【0040】

ここで、演算増幅器 133 の増幅率 A の無限大を仮定して、伝達関数  $V_{out}/I_p$  として式 (4) を得る。

【0041】

【数 2】

$$V_{out}/I_p = -\frac{R \cdot sC + 1}{sC(R \cdot sC_x + 1)} \quad \dots\dots\dots (4)$$

【0042】

一方、低域ろ波回路 13 について、素子値を図 2 (b) に示すものとしたとき

、点n、点mおよび点oにおける接点方程式は、それぞれ式(5)～式(7)のようになる。なお、 $g_m$ は、MOSトランジスタ134、135の相互コンダクタンスである。

【0043】

【数3】

$$I_p + V_p \cdot sC_x + V_p \cdot g_m = 0 \quad \dots\dots\dots(5)$$

$$V_m \cdot g_m + (V_m - V_{out}) \cdot sC = 0 \quad \dots\dots\dots(6)$$

$$V_{out} = A \cdot (V_p - V_m) \quad \dots\dots\dots(7)$$

【0044】

ここで、先ほどと同様に、演算増幅器133の増幅率Aの無限大を仮定して、伝達関数 $V_{out}/I_p$ として式(8)を得る。

【0045】

【数4】

$$V_{out}/I_p = -\frac{\frac{sC}{g_m} + 1}{sC(\frac{sC_x}{g_m} + 1)} \quad \dots\dots\dots(8)$$

【0046】

式(8)において、 $g_m = 1/R$ とすると、式(4)と同じになる。つまり、低域ろ波回路13は、図2(b)に示した一般的な2次の能動タイプ低域ろ波回路と等しい伝達特性を持つことがわかる。

【0047】

以上、本実施形態によると、カレントミラー回路131のMOSトランジスタ134、135を負荷抵抗として用いることによって、図7(b)の低域ろ波回路における抵抗素子134A、135Aを実装しなくて済み、回路面積を低減することができる。また、より小さな相互コンダクタンスを持つMOSトランジスタ134、135を用いることにより、容量素子132、136をより小さくす

ることができる。なお、カレントミラー回路131をバイポーラ型トランジスタで構成しても、同様の効果を得ることができる。

#### 【0048】

また、容量素子132や容量素子136に、別の容量素子や抵抗素子を負荷してもよい。なお、第2の容量素子としての容量素子136は、備えるのが好ましいが、省略することも可能である。

#### 【0049】

また、チャージポンプ回路から低域ろ波回路に、チャージ電流とその反転電流を同時に供給することにより、カレントミラー回路131を抵抗素子に置き換えることができる。図3は、チャージ電流 $I_p1$ とその反転電流 $I_p2$ とを同時に出力可能なチャージポンプ回路12A、および低域ろ波回路13におけるカレントミラー回路131を抵抗素子134A、135Aに置き換えた低域ろ波回路13Aの回路図である。

#### 【0050】

チャージポンプ回路12Aは、信号UP1、UP2の組および信号DN1、DN2の組がそれぞれスイッチ123、126の組およびスイッチ124、125の組を制御する。そして、チャージポンプ回路12Aからは、チャージ電流 $I_p1$ とその反転電流 $I_p2$ とが同時に出力される。一方、低域ろ波回路13Aは、チャージ電流 $I_p1$ とその反転電流 $I_p2$ とを入力することにより、低域ろ波回路13においてカレントミラー回路131により入力電流 $I_{in}$ が入力されたときと同様の動作をする。

#### 【0051】

チャージポンプ回路12Aおよび低域ろ波回路13Aを備えた位相同期回路によると、チャージポンプ回路12Aにおける同相のスイッチノイズが、低域ろ波回路13Aにおける演算増幅器133の正相入力端子および逆相入力端子に入力されることにより、相殺される。これにより、位相同期回路に現れるジッタ成分を低減することができる。

#### 【0052】

(第2の実施形態)



図4は、本発明の第2の実施形態としての低域ろ波回路13'の回路図である。低域ろ波回路13'は、容量素子132'のさらなる縮小を目的として、第1の実施形態の低域ろ波回路13の一部に変更を加えたものである。

#### 【0053】

低域ろ波回路13'におけるカレントミラー回路131'は、出力電流 $I_{out}$ が入力電流 $I_{in}$ よりも小さくなるように、電流のミラー比率 $\alpha$ が調整されている。カレントミラー回路131'は、MOSトランジスタ134およびMOSトランジスタ135'から構成されている。

#### 【0054】

ここで、MOSトランジスタ134とMOSトランジスタ135'との相互コンダクタンスの比率は1対 $\alpha$ である。相互コンダクタンスは、たとえば、 $W/L$  ( $W$ :ゲート幅、 $L$ :ゲート長)を変えることによって、変えることができる。また、電流源137のバイアス電流と電流源138'のバイアス電流との比率もまた、相互コンダクタンスの比率と同一になるように設定されている。

#### 【0055】

以上のように構成された低域ろ波回路13'の伝達特性を、第1の実施形態の低域ろ波回路13と同一にするには、式(8)から、容量素子132'の容量値を $\alpha$ 倍にすればよいことがわかる。したがって、カレントミラー回路131'において、電流のミラー比率 $\alpha$ を1よりも小さな値に設定することによって、容量素子132'の容量値を縮小することができる。

#### 【0056】

ミラー比率 $\alpha$ を小さくすると、低域ろ波回路13'の実際の伝達特性は、式(8)による論理値のずれが生じるが、本実施形態によると、少なくともミラー比率 $\alpha$ を $1/10 \sim 1/100$ 程度にまですることが可能である。

#### 【0057】

以上、本実施形態によると、出力電流 $I_{out}$ が入力電流 $I_{in}$ よりも小さくなるように、カレントミラー回路131'における電流のミラー比率 $\alpha$ を調整することにより、容量素子132'を $1/10 \sim 1/100$ 程度にまで縮小することができる。容量素子132'は、一般に、 $100 \sim 200$  pF程度の大容量のもの

であり、位相同期回路において、50～70%程度の回路面積を占めている。本実施形態によると、容量素子132'を $1/10 \sim 1/100$ 程度にまで縮小することができ、回路面積を著しく低減することができる。また、出力電流 $I_{out}$ がより小さくなることにより、消費電力を低減することができる。

## 【0058】

なお、容量素子136は、一般に、MOSで構成可能な小さな容量値(10～20pF程度)のものであるため、容量素子136の容量値の縮小化については特に意図する必要はない。

## 【0059】

## (第3の実施形態)

図5は、本発明の第3の実施形態としての位相同期回路10の構成を示す。本実施形態の位相同期回路10は、位相比較器11と、チャージポンプ回路12Bと、低域ろ波回路13Bと、本発明のバイアス制御手段に相当する電圧電流変換回路21と、電圧制御発振器14Aと、バイアス変換回路22と、分周器15とを備えている。

## 【0060】

チャージポンプ回路12Bは、電圧電流変換回路21からの制御信号CS1に応じて、電流源121Aのバイアスを変化させる。また、バイアス変換回路22からの制御信号CS2に応じて、電流源122Aのバイアスを変化させる。

## 【0061】

低域ろ波回路13Bは、第1の実施形態の低域ろ波回路13とほぼ同様のものである。低域ろ波回路13と異なる点は、本発明の第1の電流源に相当する電流源137A、および第2の電流源に相当する電流源138Aが、チャージポンプ回路12Bの場合と同様に、制御信号CS1に応じて、バイアスを変化させる点である。ただし、バイアスの変化率は、チャージポンプ回路12Bにおける電流源121A、122Aと同じになっているようにしている。また、演算増幅器133Aは、制御信号CS1に応じて帯域特性を変化させることができる。

## 【0062】

電圧電流変換回路21は、低域ろ波回路13Bから出力される制御電圧 $V_{out}$

を、電流による制御信号CS1に変換する。

【0063】

電圧制御発振器14Aは、制御信号CS1を入力とし、この制御信号CS1によってかけられたバイアスに応じて、発振周波数を変化させ、出力クロックCK<sub>out</sub>として出力する。

【0064】

バイアス変換回路22は、電流源121Aとは異なるタイプのMOSトランジスタを制御するために、制御信号CS1のバイアスを変換するものである。

【0065】

以上のように構成された位相同期回路10によるダンピングファクタの調整について、以下、詳細に説明する。

【0066】

2次の能動タイプ低域ろ波回路を備えた位相同期回路の応答特性は、式(9)の自然周波数 $\omega_n$ と、式(10)のダンピングファクタ $\zeta$ とによって決まる。ここで、 $K_o$ は、電圧制御発振器14Aのゲインである。

【0067】

【数5】

$$\omega_n = \sqrt{\frac{K_o \cdot I_p}{2\pi C}} \quad \dots\dots\dots(9)$$

$$\zeta = \frac{CR}{2} \cdot \sqrt{\frac{K_o \cdot I_p}{2\pi C}} = \frac{CR}{2} \cdot \omega_n \quad \dots\dots\dots(10)$$

【0068】

式(9)の自然周波数 $\omega_n$ を決定する変数のうち、回路的に容易に変化させることができるものは、通常、チャージ電流 $I_p$ である。そこで、位相同期回路10の発振周波数に応じてループ帯域幅を変化させるとき、チャージ電流 $I_p$ を変化させるのが一般的である。

【0069】

チャージ電流 $I_p$ を変化させると、式(10)のダンピングファクタ $\zeta$ も同時

に変化してしまう。しかし、位相同期回路 10 の応答特性を保つためにも、ダンピングファクタとは一定であることが好ましい。それには、式 (10) において、チャージ電流  $I_p$  の変化率  $A$  に対して、容量値  $C$  または抵抗値  $R$  の変化率が  $1/\sqrt{A}$  になるようにしなければならない。

## 【0070】

低域ろ波回路 13B におけるカレントミラー回路 131 は、MOS トランジスタ 134、135 で構成されている。MOS トランジスタ 134 のドレインはゲートに接続されており、2 乗特性を呈する状態にある。また、MOS トランジスタ 135 のゲートには、MOS トランジスタ 134 のゲートと同電位が印加されるため、MOS トランジスタ 135 についても 2 乗特性を呈する状態にある。

## 【0071】

チャージ電流  $I_p$  の変化率を  $A$  とすると、入力電流  $I_{in}$  および入力側のバイアス電流  $I_B$  の変化率も  $A$  となる。したがって、MOS トランジスタ 134 のドレイン電流の変化率は  $A$  であり、相互コンダクタンス  $g_m$  の変化率は  $\sqrt{A}$ 、ゲート電圧、つまり入力端電圧  $V_{in}$  の変化率は  $\sqrt{A}$  になる。

## 【0072】

出力電流  $I_{out}$  (MOS トランジスタ 135 のドレイン電流) は、入力電流  $I_{in}$  の変化率  $A$  に応じて変化し、相互コンダクタンス  $g_m$  の変化率は  $\sqrt{A}$ 、出力端電圧  $V_{out}$  (MOS トランジスタ 135 のゲート電圧) の変化率は  $\sqrt{A}$  になる。

## 【0073】

MOS トランジスタ 135 の相互コンダクタンス  $g_m$  の変化率が  $\sqrt{A}$  になることは、つまり、抵抗値  $R$  の変化率が  $1/\sqrt{A}$  になることに等しい。したがって、本実施形態の位相同期回路 10 では、式 (10) におけるチャージ電流  $I_p$  の変化率  $A$  と抵抗値  $R$  の変化率  $1/\sqrt{A}$  とが相殺され、適応的に、ダンピングファクタが一定に保たれることがわかる。

## 【0074】

さらに、本実施形態の位相同期回路 10 では、電圧電流変換回路 21 から出力される制御信号 CS1 およびバイアス変換回路 22 から出力される制御信号 CS2 によって、チャージポンプ回路 12B における電流源 121A、122A のチ

チャージ電流  $I_p$ 、低域ろ波回路 13B における電流源 137A, 138A のバイアス電流  $I_B$  および演算増幅器 133A の帯域特性、ならびに電圧制御発振器 14A の発振周波数が、適応的に制御される。具体的には、電圧制御発振器 14A の出力クロック  $CK_{out}$  の周波数が低い場合には、制御信号 CS1 の電流値は小さくなり、電流源 121A, 122A のチャージ電流  $I_p$  および電流源 137A, 138A のバイアス電流  $I_B$  も小さくなる。逆に、出力クロック  $CK_{out}$  の周波数が高い場合には、制御信号 CS1 の電流値が大きくなり、電流源 121A, 122A のチャージ電流  $I_p$  および電流源 137A, 138A のバイアス電流  $I_B$  も大きくなる。

## 【0075】

上記のような、アダプティブバイアス化された位相同期回路については、すでに知られている（文献1：John G. Maneatis, “Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.31, NO.11, NOVEMBER 1996, pp.1723-1732参照）。しかし、文献1で挙げられた回路方式は、2次の応答を有する位相同期回路に対してのみのアダプティブ化である。これに対し、本実施形態は、2次の低域ろ波回路 13B に電圧制御発振器 14A を加えた3次の応答、さらに、演算増幅器 133A を加えた4次の応答を有する位相同期回路 10 のアダプティブ化を図っている。

## 【0076】

以上、本実施形態によると、チャージ電流  $I_p$  の変化に応じて、適応的に、位相同期回路 10 におけるダンピングファクタ  $\zeta$  が一定に保たれるように調整される。これにより、ダンピングファクタ  $\zeta$  を調整するための抵抗ラダー回路などを実装する必要がなくなり、回路面積を低減することができる。

## 【0077】

また、位相同期回路 10 の発振周波数に応じて、適応的に、チャージポンプ回路 12B における電流源 121A, 122A、低域ろ波回路 13B における電流源 137A, 138A および演算増幅器 133A、ならびに電圧制御発振器 14A が制御される。これにより、幅広い周波数帯域に対して、位相同期回路 10 の応答特性を最適に保つことが可能となる。なお、演算増幅器 133A の帯域特性

は、必ずしも制御可能にしくなくてもよい。

【0078】

また、電流源121A, 122A, 137A, 138Aが、適応的に制御されることにより、これらに基準電圧を供給するバンドギャップリファレンスを省略することができる。これにより、回路面積をさらに低減することができる。

【0079】

【発明の効果】

以上のように、本発明によると、低域ろ波回路に、電流のミラー比を調整したカレントミラー回路を備えることによって、所望のろ波特性を保ちつつ回路面積を大幅に低減することができる。特に、第1の容量素子を $1/10 \sim 1/100$ 程度にまで縮小することができるため、回路面積低減の効果は著しい。また、カレントミラー回路の出力側の第2の電流がより小さくなることにより、消費電力を抑制することができる。

【0080】

また、位相同期回路において、抵抗ラダー回路などを実装することなく、ダンピングファクタの調整が可能となり、回路面積を低減することができる。さらに、位相同期回路の発振周波数の変化に対し、バイアス制御手段によって、適応的に、チャージポンプ回路、低域ろ波回路および電圧制御発振器が制御される。これにより、幅広い周波数帯域において、位相同期回路の応答特性を最適なものに保つことができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る低域ろ波回路の回路図である。

【図2】

図1の低域ろ波回路の伝達特性を説明するための図である。

【図3】

図1の低域ろ波回路の変形例である。

【図4】

本発明の第2の実施形態に係る低域ろ波回路の回路図である。

## 【図 5】

本発明の第 3 の実施形態に係る位相同期回路の構成図である。

## 【図 6】

一般的な位相同期回路の構成図である。

## 【図 7】

一般的な低域ろ波回路の回路図である。

## 【図 8】

ダンピングファクタの調整が可能な低域ろ波回路の回路図である。

## 【図 9】

ダンピングファクタの調整が可能な低域ろ波回路の回路図である。

## 【符号の説明】

1 0 位相同期回路

1 2, 1 2 B チャージポンプ回路

1 3, 1 3', 1 3 B 低域ろ波回路

1 4, 1 4 A 電圧制御発振器

1 3 1, 1 3 1' カレントミラー回路

1 3 2, 1 3 2' 容量素子 (第 1 の容量素子)

1 3 3, 1 3 3 A 演算増幅器

1 3 4, 1 3 5, 1 3 5' MOS トランジスタ

1 3 6 容量素子 (第 2 の容量素子)

2 2 電圧電流変換回路 (バイアス制御手段)

1 3 7 A 電流源 (第 1 の電流源)

1 3 8 A 電流源 (第 2 の電流源)

1 2 1 A, 1 2 2 A 電流源 (チャージポンプ回路の電流源)

$I_p$  チャージ電流 (原電流)

$I_{in}$  入力電流 (第 1 の電流)

$I_{out}$  出力電流 (第 2 の電流)

$V_p$  入力端電圧 (第 1 の電圧)

$V_m$  出力端電圧 (第 2 の電圧)

$V_{out}$  制御電圧（第 3 の電圧）

$CK_{out}$  出力クロック（発振周波数）



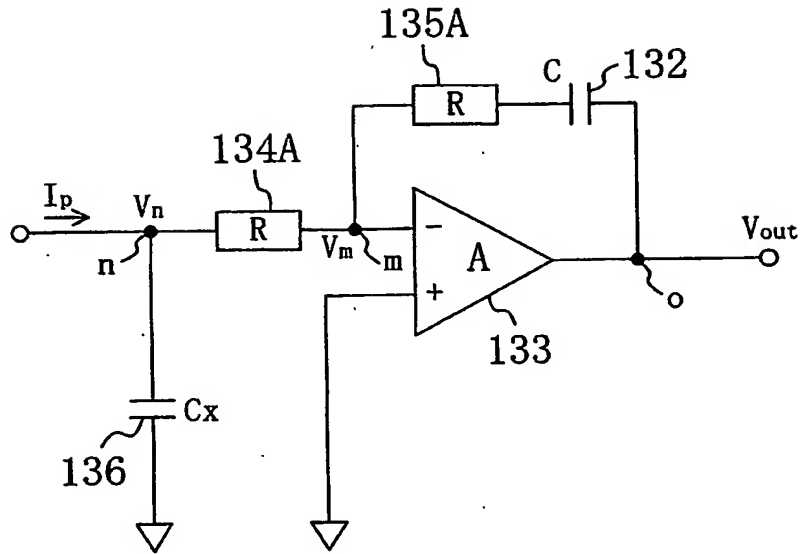
【書類名】 図面

【圖 1】

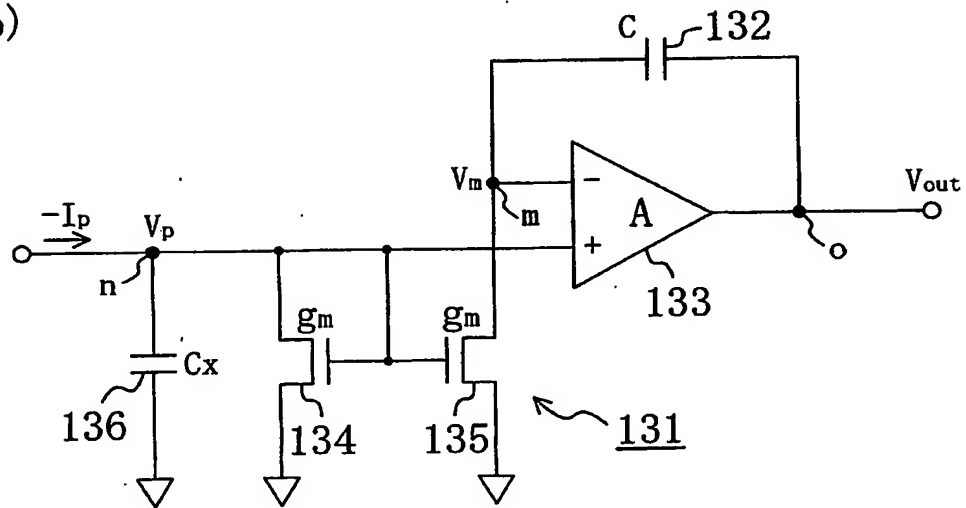


【図2】

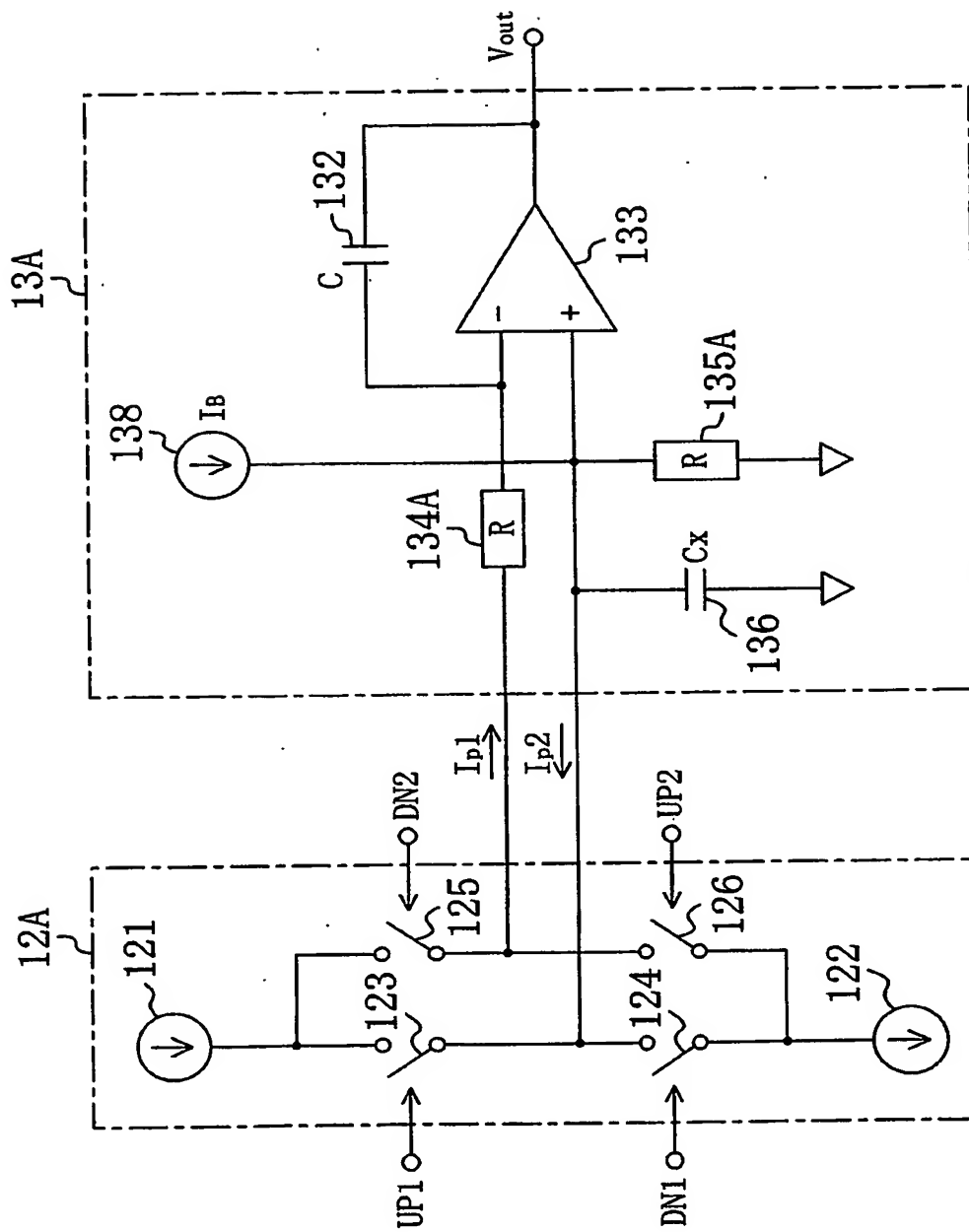
(a)



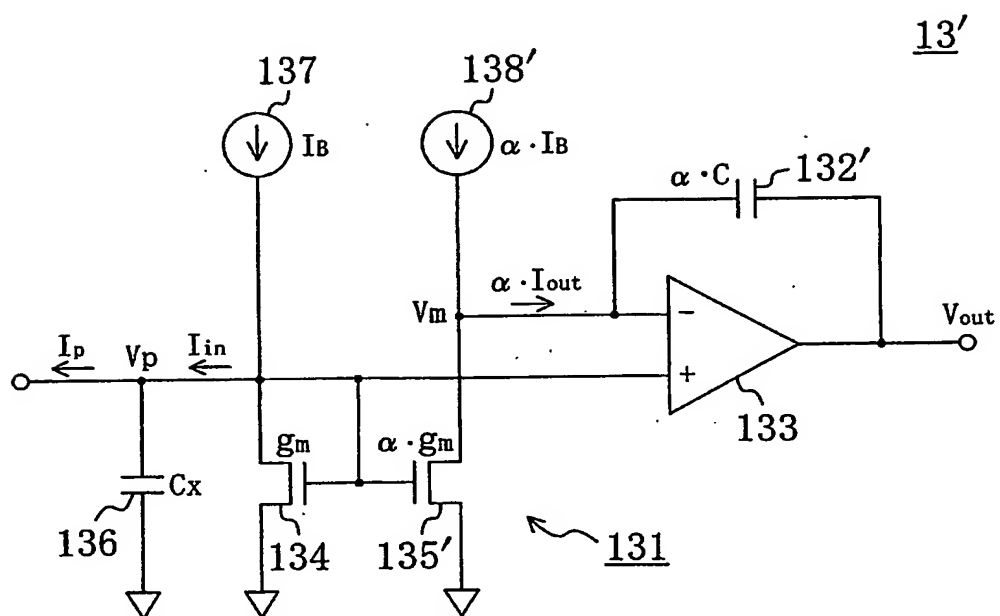
(b)



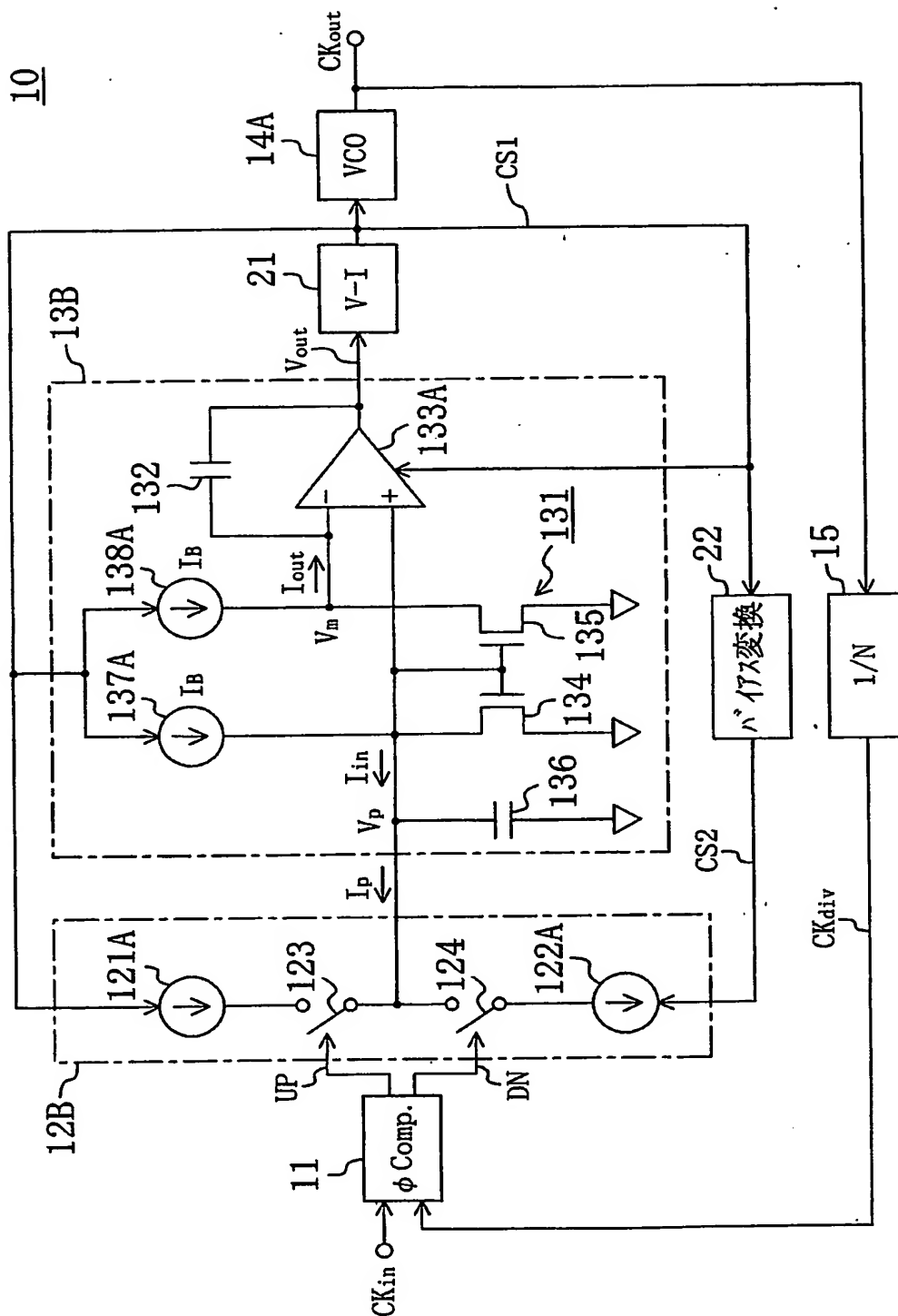
【図 3】



【図4】

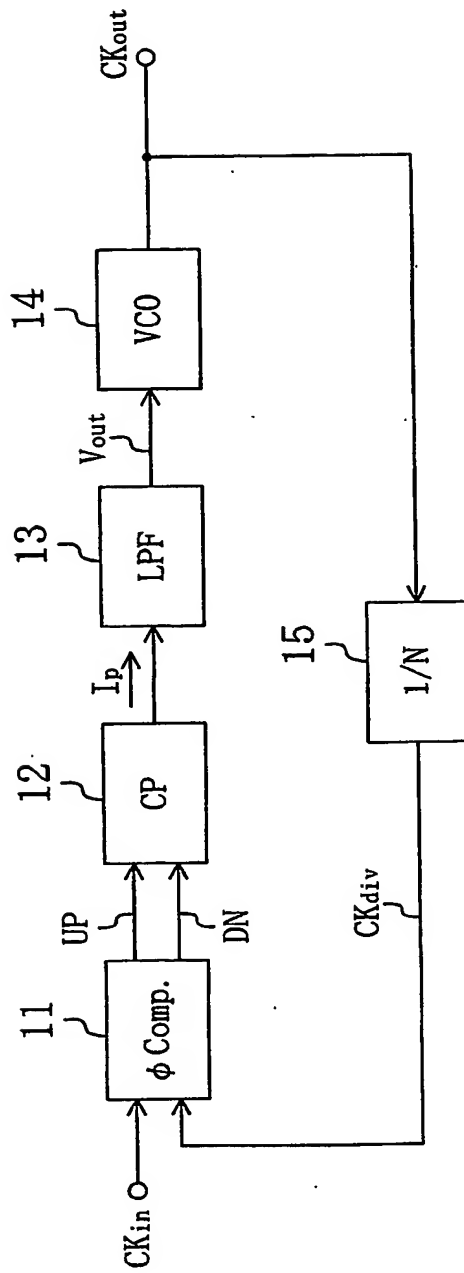


【図 5】



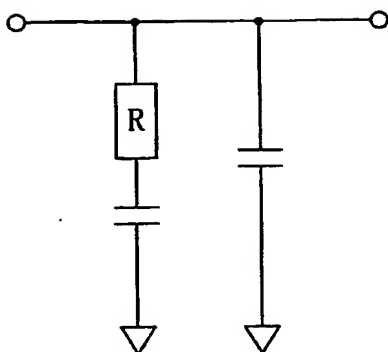
【図6】

10

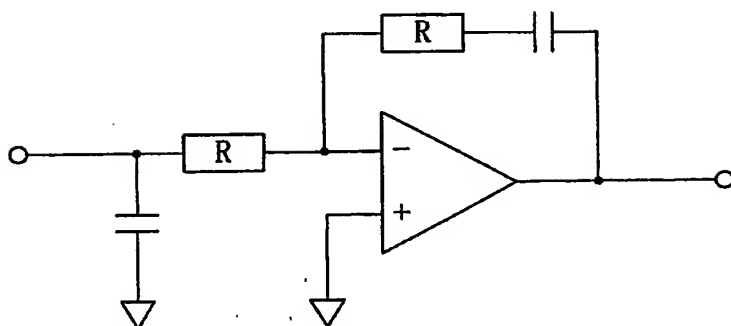


【図 7】

(a)

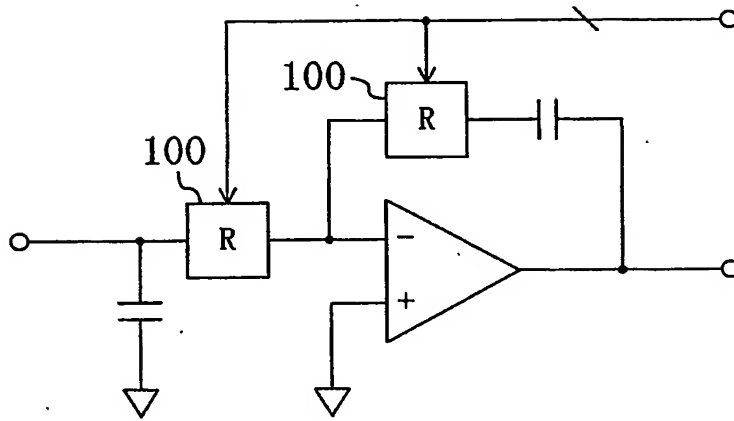


(b)

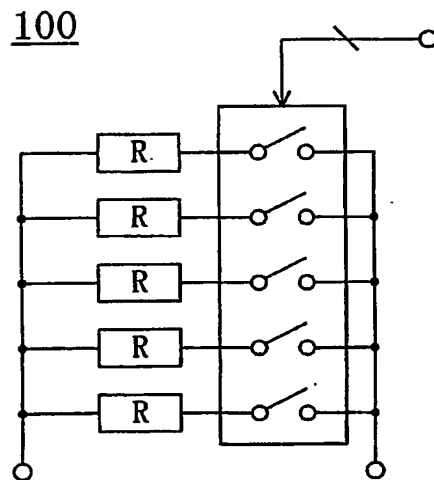


【図8】

(a)

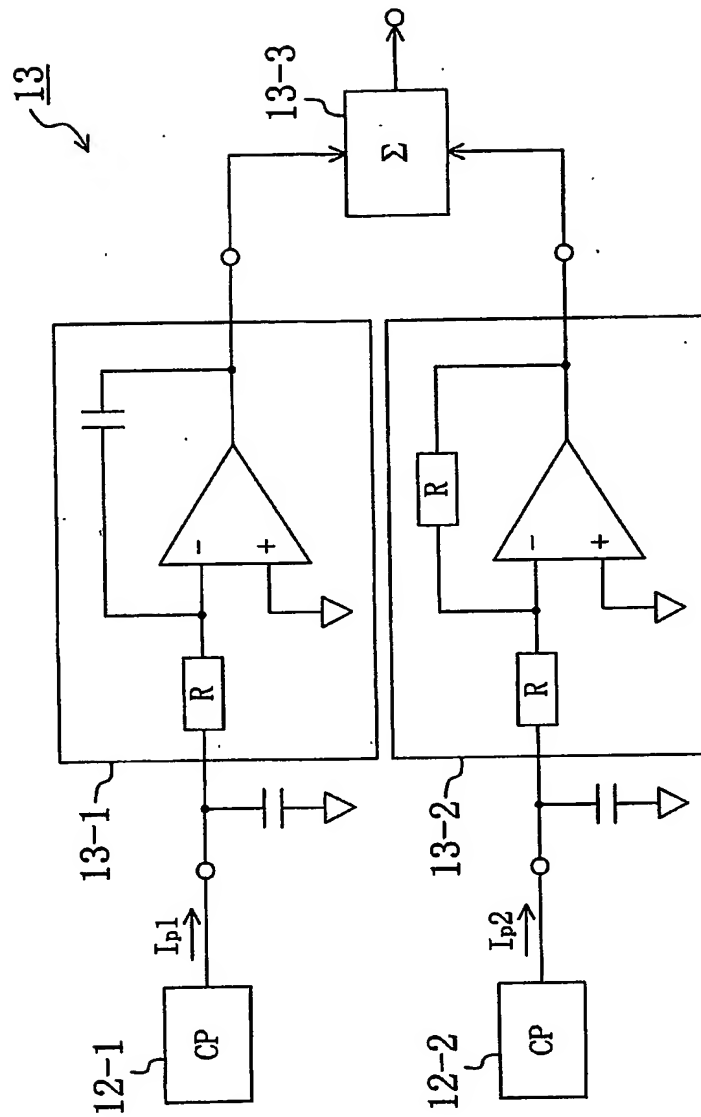


(b)





【図9】



【書類名】 要約書

【要約】

【課題】 低域ろ波回路において、フィルタリング特性を保ちつつ回路面積を低減する。

【解決手段】 カレントミラー回路 1 3 1 によって、入力電流  $I_{in}$  とは反対向きの出力電流  $I_{out}$  を生成し、入力端電圧  $V_p$  および出力端電圧  $V_m$  を演算増幅器 1 3 3 の入力とする。演算増幅器 1 3 3 の負帰還部分には容量素子 1 3 2 を備える。以上の構成により、低域ろ波回路 1 3 は、チャージ電流  $I_p$  を入力とし、制御電圧  $V_{out}$  を出力とする 2 次の能動タイプ低域ろ波回路として動作する。そして、出力電流  $I_{out}$  が入力電流  $I_{in}$  よりも小さくなるように、カレントミラー回路 1 3 1 における電流のミラー比率を調整することにより、容量素子 1 3 2 を  $1/10 \sim 1/100$  程度にまで縮小することができ、回路面積を大幅に低減することが可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社